

(19) 日本国特許庁(JP)

(12) 公 表 特 許 公 報(A)

(11) 特許出願公表番号

特表2005-503563

(P2005-503563A)

(13) 公表日 平成17年2月3日(2005.2.3)

(51) Int.Cl.⁷
G01R 31/28F 1
G01R 31/28G
2G132

テーマコード(参考)

		審査請求 未請求 予備審査請求 未請求 (全 42 頁)
(21) 出願番号	特願2003-529172(P2003-529172)	(71) 出願人 590000248
(36) (23) 出願日	平成14年9月4日(2002.9.4)	ヨーニンクレッカ フィリップス エレクトロニクス エヌ ウィ Koninklijke Philips Electronics N. V.
(39) 締結文書提出日	平成16年3月19日(2004.3.19)	オランダ国 5621 ベークー アイントーフェン フルーネヴァウツウェッハ 1 Groenewoudseweg 1, 5621 EA Eindhoven, The Netherlands
(40) 國際出願番号	PCT/IB2002/003617	(74) 代理人 100092046
(47) 國際公開番号	W02003/025585	弁護士 沢田 雅男
(48) 國際公開日	平成15年3月27日(2003.3.27)	
(31) 優先権主張番号	01203563.5	
(32) 優先日	平成13年9月20日(2001.9.20)	
(33) 優先権主張国	歐州特許庁(EP)	
(81) 指定国	EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), CN, JP, KR	

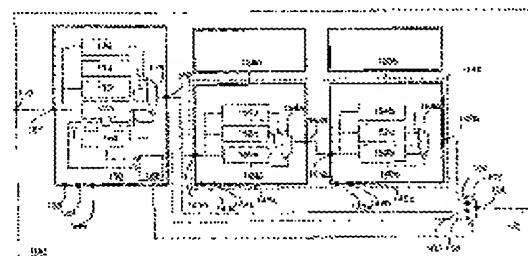
最終頁に続く

(54) [発明の名稱] 電子デバイス

(57) 【要約】

【課題】デバッグ機能が向上した電子デバイスを提供すること。

【解決手段】電子デバイス(100)は、各サブデバイス(120a, 120b)がテスト・インターフェース(140a; 140b)に結合された、複数のサブデバイス(120a, 120b)を有する。テスト・インターフェース(140a, 140b)は、チャーン(140)内の先行のテスト・インターフェース(140a)のTDO接点(142b)を後続のテスト・インターフェース(140b)のTDI接点(141b)に結合させることにより、テスト・インターフェース(140)内の最後のテスト・インターフェース(140b)のTDO接点(142b)と、チャーン(140)内の最後のテスト・インターフェース(140b)のTDO接点(142b)とが両方ともバイパス・マルチブレクサ(102)に結合されることにより、チャーン全体(140, 160)を通るか、またはテスト・インターフェース(160)しか通らない、テスト・データ入力(110)か



【特許請求の範囲】

【請求項 1】

複数のサブデバイスと、
 第一入力、第二入力、および出力を有するバイパス・マルチブレクサと、
 テスト・データ入力と、
 前記バイパス・マルチブレクサの前記出力に結合されたテスト・データ出力と、
 1組のテスト・インターフェースであって、前記テスト・インターフェースの組内の各テ
 スト・インターフェースが、前記複数のサブデバイスからのサブデバイスに結合され、テ
 スト・インターフェースの前記チェーン内の先行のテスト・インターフェースのテスト・
 データ出力接点が、前記チェーン内の後続のテスト・インターフェースのテスト・データ 10
 入力接点に結合されることによって、前記テスト・インターフェースの組がテスト・イン
 ターフェースのチェーンを形成する、1組のテスト・インターフェースと、
 前記テスト・データ入力に結合されたさらなるテスト・データ入力接点と、前記バイパス
 ・マルチブレクサの前記第一入力に結合されたテスト・データ出力接点とを有する、前記
 バイパス・マルチブレクサをコントロールするための境界スキャン対応のさらなるテスト
 ・インターフェースと、
 を有する、複数のテスト・インターフェースと、
 を有する電子デバイスにおいて、
 テスト・インターフェースの前記チェーン内の最後のテスト・インターフェースのテスト
 ・データ出力接点が、前記バイパス・マルチブレクサの前記第二入力に結合され、かつ、 20
 前記さらなるテスト・データ出力接点が、さらに、テスト・インターフェースの前記チェ
 ーン内の第一テスト・インターフェースの接点内のテスト・データに結合されることを特
 徴とする、電子デバイス。

【請求項 2】

前記さらなるテスト・インターフェースが、前記さらなるテスト・インターフェースの命
 令レジスタに連結された、前記バイパス・マルチブレクサをコントロールするためのバイ
 パス・コントローラを有することを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 3】

前記さらなるテスト・インターフェースが、前記テスト・インターフェースの組からの各
 テスト・インターフェースの命令情報を格納するための、前記バイパス・コントローラに 30
 連結されたレジスタを有する、請求項 2 に記載の電子デバイス。

【請求項 4】

前記レジスタが、さらに、前記バイパス・マルチブレクサの第三入力に結合されることを
 特徴とする、請求項 3 に記載の電子デバイス。

【請求項 5】

前記さらなるテスト・インターフェースの命令レジスタに結合されたピット・パターン・
 デコーダと、
 前記さらなるテスト・インターフェースのテスト・モード選択接点に結合された第一入力
 と、前記ピット・パターン・デコーダに結合された第二入力と、テスト・インターフェー 40
 スの前記チェーンに結合された出力と、を有するロジック回路と、
 を有する、テスト・インターフェースの前記チェーン内のテスト・インターフェースのテ
 スト・モードをコントロールするためのテスト・モード・コントロール・ユニット、
 をさらに有することを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 6】

前記ロジック回路が、ANDゲートを有することを特徴とする、請求項 5 に記載の電子デバイ
 ス。

【請求項 7】

前記複数のテスト・インターフェースからテスト・インターフェースに個別のテスト・モ
 ード選択信号を供給するためのテスト・モード・コントロール・ユニットと、
 1組のマルチブレクサであって、

前記マルチブレクサの組からの各マルチブレクサが、第一入力と、第二入力と、出力と、を有し、

マルチブレクサの前記チェーン内の後続のマルチブレクサの前記第一入力が、テスト・インターフェースの前記チェーン内の前記先行のテスト・インターフェースの前記テスト・データ出力接点に結合され、

マルチブレクサの前記チェーン内の先行のマルチブレクサの前記出力が、後続のマルチブレクサの前記第二入力と、テスト・インターフェースの前記チェーン内の前記先行のテスト・インターフェースのテスト・データ入力接点と、に結合され、マルチブレクサの前記チェーン内の前記第一マルチブレクサの前記第一入力が、前記さらなるテスト・データ出力接点に結合され、

マルチブレクサの前記チェーン内の前記第一マルチブレクサの前記第二入力が、前記テスト・データ入力に結合され、かつ、

マルチブレクサの前記チェーン内の前記最後のマルチブレクサの前記出力が、前記バイパス・マルチブレクサの前記第一入力に結合される、

ことによって、前記マルチブレクサの組がマルチブレクサのチェーンを形成し、

前記さらなるテスト・データ出力接点が、マルチブレクサの前記チェーンを介して、前記バイパス・マルチブレクサの前記第一入力に結合された、1組のマルチブレクサと、を有することを特徴とする、請求項1に記載の電子デバイス。

【請求項8】

前記さらなるテスト・インターフェースが、マルチブレクサの前記チェーンからのマルチブレクサに個別のコントロール信号を供給するように構成されており、かつ前記バイパス・マルチブレクサにコントロール信号を供給するように構成されているデータ・レジスタを有し、かつ、

前記テスト・モード・コントロール・ユニットが、

前記データ・レジスタに結合されたビット・バターン・デコーダと、

前記さらなるテスト・インターフェースの前記テスト・モード選択接点に結合された第一入力、前記ビット・バターン・デコーダに結合された第二入力、および複数の出力を有し、前記複数の出力からの出力が、前記複数のテスト・インターフェースからの前記テスト・インターフェースに前記個別のテスト・モード選択信号を供給するように構成されている、ロジック回路と、

を有することを特徴とする、請求項7に記載の電子デバイス。

【請求項9】

マルチブレクサの前記チェーンからのマルチブレクサに個別のコントロール信号を供給し、かつ前記バイパス・マルチブレクサにコントロール信号を供給するように構成されている前記テスト・モード・コントロール・ユニットに、テスト・インターフェース選択信号を供給するためのさらなる接点を有することをさらなる特徴とする、請求項7に記載の電子デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、

複数のサブデバイスと、

第一入力、第二入力、および出力を有するバイパス・マルチブレクサと、

テスト・データ入力と、

前記バイパス・マルチブレクサ前記出力に結合されたテスト・データ出力と、

1組のテスト・インターフェースであって、前記テスト・インターフェースの組内の各テスト・インターフェースが、前記複数のサブデバイスからのサブデバイスに結合され、テスト・インターフェースの前記チェーン内の先行のテスト・インターフェースのテスト・データ出力接点が、テスト・インターフェースの前記チェーン内の後続のテスト・インターフェースのテスト・データ入力接点に結合されることによって、前記テスト・インター

10

20

30

40

50

フェースの組がテスト・インターフェースのチェーンを形成する、1組のテスト・インターフェースと、

前記テスト・データ入力に結合されたさらなるテスト・データ入力接点と、前記バイパス・マルチプレクサの前記第一入力に結合されたテスト・データ出力接点とを有する、前記バイパス・マルチプレクサをコントロールするための境界スキャン対応のさらなるテスト・インターフェースと、

を有する、複数のテスト・インターフェースと、

を有する、電子デバイスに関する。

【背景技術】

【0002】

このような電子デバイスの一実施例は、Steven F. Oaklandによる論文「システム・オン・チップ集積回路上でIEEE 1149.1を実施するための考察(Considerations for Implementing IEEE 1149.1 on System-on-a-Chip Integrated Circuits)」(the conference journal Proceedings of the international test conference (ITC), pp.628-637, 2000年)、かつ具体的には本論文の図7に開示されている。

10

【0003】

IC設計の技術分野では、製品化までに要する時間を縮小化するために既存のビルディング・ブロックを再利用することが、ますます一般的になっている。現在進行中の集積化寸法の縮小化の場合、これらのビルディング・ブロックの複雑性は、例えば、複数のサブデバイスを有するプリント回路板(PCB)、システム・オン・チップ・アーキテクチャ、マルチプル・チップ・モジュール(MCM)などの電子デバイスが、例えば、IPコア、埋込み型プロセッサ、集積回路などのより小型の既に複雑な電子デバイスによって、構築される程度にまで増大する。単一の電子デバイスに組み立てられた場合、電子デバイスは、通常、それ自体のテスト・アーキテクチャ(例えば、テスト・インターフェースを介してアクセス可能な境界スキャン・テスト・アーキテクチャ)を各々が有する幾つかのサブデバイスにより構成されるであろう。このようなテスト・インターフェース(例えば、テスト・アクセス・ポート(TAP))は、通常、テスト・インターフェースの様々な状態をコントロールするためのTAPコントローラを介して、コントロール信号を受信する。さらに、様々なサブデバイスが集積化された電子デバイスは、クロック同期ロジックのような自身のテストをすることが出来るあるロジックを有することも出来る。このことは、このようなデバイスのテストおよび/またはデバッグを複雑にする要因となる。なぜならば、これらのテスト・インターフェースの各々に、電子デバイス周辺の入出力接点を介して直接アクセスすることは、接点リソースとコストの点で実行不可能だからである。さらに、これらの様々なテスト・インターフェースの構成は、テスト中の単一のデバイスとして作用している電子デバイス全體が上限にある状態で、サブデバイスの各々を、単体で、かつサブデバイスの集まりとして、テスト/デバッグ可能なものでなければならない。

20

【0004】

ITC 2000の論文は、境界スキャン・アーキテクチャを有する複数の埋込み型プロセッサを有する電子デバイスを開示している。TAPへのアクセスは、次のTAPのテスト・データ入力接点が前のTAPのテスト・データ出力接点に接続された状態になるように、埋込み型プロセッサTAPを直列接続することにより、埋込み型プロセッサTAPのチェーンを形成することによって可能となる。さらに、システム・レベルのマスターTAPの命令レジスタもチーンに含まれ、このシステム・レベルのTAPのデータ・レジスタとバイパス・レジスタが、チーン内のテスト・インターフェースの対応するレジスタと並列に構成されることにより、データ内の階層と、アクセス機構のバイパス部分とが作り出される。

30

【0005】

この公知の構成の欠点は、この階層的なアクセス機構によって、マスター・テスト・インターフェースのデータ・レジスタを、埋込み型プロセッサのTAPのデータ・レジスタと同時に使用することが出来ないことである。特に、埋込み型プロセッサをデバッグする場合、デバッグの間における障害の適用範囲を広く取るには、埋込み型プロセッサが周辺のシ

40

50

システム・レベルのロジックと相互作用することが重要となり得る。このことは、公知の構成では困難である。なぜならば、埋込み型プロセッサがデバッグされているときに、マスターTAPのコントロール下にあるシステム・レベルのロジックにデバッグ・データを供給することは出来ないからである。

【0006】

【特許文献1】

米国特許第5,673,276号

【発明の開示】

【課題を解決するための手段】

【0007】

本発明の目的は、とりわけ、デバッグ機能が向上した、第一段落に説明した種類の電子デバイスを提供することである。

10

【0008】

本発明の目的は、テスト・インターフェースのチェーン内の最後のテスト・インターフェースのテスト・データ出力接点が、バイパス・マルチブレクサの第二入力に結合され、かつさらなるテスト・データ出力接点が、テスト・インターフェースのチェーン内の第一テスト・インターフェースのテスト・データ入力接点にさらに結合されることにより実現される。これらのさらなるテスト・インターフェースを、テスト・インターフェースのチェーンに完全に加えることは、サブデバイスのテスト・インターフェースとさらなるテスト・インターフェースとにデータを同時に供給することを可能にするので、特に有利である。例えば、サブデバイスのデバッグが可能となるのと同時に、さらなるテスト・インターフェースまたは別のテスト・インターフェースを介してサブデバイスに属さない周辺ロジックにもデバッグ・データを供給することにより、デバッグの間ににおける障害の適用範囲を広げることが可能となる。類似の利点が他の機能テストの間に得られることは、明らかである。

20

【0009】

さらなるテスト・インターフェースが、バイパス・マルチブレクサをコントロールするためのさらなるテスト・インターフェースの命令レジスタに結合されたバイパス・コントローラを有すれば、有利である。通常、境界スキャン対応のテスト・インターフェースの命令レジスタのコンテンツが、テスト・インターフェースのどのレジスタ（例えば、バイパス・レジスタ、データ・レジスタ、境界スキャン・レジスタ、または任意の識別レジスタ）を起動するかを指定する。適切な命令（例えば、境界スキャン・テスト、またはバイパス命令）が命令レジスタ内に存在する場合、バイパス・コントローラは、命令レジスタのコンテンツをモニタすることにより、強制的にバイパス・マルチブレクサをバイパス状態にスイッチすることが出来る。さらに、バイパス・マルチブレクサをバイパス状態に遷移しなくとも、さらなるテスト・インターフェースをバイパスさせることが出来る、追加的な専用のさらなるテスト・インターフェース命令（例えば、デバッグ命令のバイパス）を容易に検出することが、バイパス・コントローラにより可能となる。こうすることにより、テスト・インターフェースのチェーンからの他のテスト・インターフェースを、テスト中のデバイスまたはデバッグ中のデバイスとして、容易に選択することが出来る。

30

40

【0010】

さらなるテスト・インターフェースが、テスト・インターフェースの組からの各テスト・インターフェースの命令情報を格納するための、バイパス・コントローラに結合されたレジスタを有することは、別の利点となる。テスト用またはデバッグ用のソフトウェアを用いても専用のテスト命令またはデバッグ命令の使用が容易にならない場合、例えば、テスト・インターフェースの組からの各テスト・インターフェースの命令情報（例えば、命令オペコード）を格納するためのレジスタが含まれていれば有効である。これにより、テスト・インターフェースの組からのテスト・インターフェースのテストまたはデバッグを容易にするために、さらなるテスト・インターフェースがBYPASS命令によってバイパスされる場合、このテスト・インターフェースを強制的に所望のモードにさせるこの命令が、追

50

加的なレジスタ内のバイパス・コントローラによりさらに検出されるので、バイパス・マルチブレクサが誤ってバイパス状態にスイッチしてしまうことがなくなる。

【0011】

レジスタが、さらにバイパス・マルチブレクサの第三入力に結合されることは、別の利点となる。レジスタがバイパス・レジスタに接続することにより、電子デバイスのテスト・データ入力とテスト・データ出力とを介してレジスタをテストすることが可能となるので、デバイスのテスト適用範囲が広がる。

【0012】

本発明の一実施例の場合、電子デバイスは、さらに、さらなるテスト・インターフェースの命令レジスタに結合されたビット・パターン・デコーダと、

さらなるテスト・インターフェースのテスト・モード選択接点に結合された第一入力と、ビット・パターン・デコーダに結合された第二入力と、テスト・インターフェースのチェーンに結合された出力と、を有するロジック回路と、

を有する、

テスト・インターフェースのチェーン内のテスト・インターフェースのテスト・モードをコントロールするためのテスト・モード・コントロール・ユニットを有する。指定されたビット・パターンを有する、さらなるテスト・インターフェースのコントロール下にある電子デバイス部分のテストまたはデバッグを示す命令が、命令レジスタ内に存在する場合、ビット・パターン・デコーダはこのパターンを検出し、かつロジック回路（例えば、AN 20 Dゲート）に信号を転送するであろう。テスト・インターフェースのチェーン内のすべてのテスト・インターフェースは、これらの各TMS接点を介して、ロジック回路の出力に接続される。この結果、チェーン全体をスイッチ・オフし、さらなるテスト・インターフェースのコントロール下にある電子デバイス部分を、単独でテストまたはデバッグすることが出来るテスト・モードまたはデバッグモードにすることが出来る。

【0013】

本発明のさらなる実施例の場合、電子デバイスは、

前記複数のテスト・インターフェースからテスト・インターフェースに個別のテスト・モード選択信号を供給するためのテスト・モード・コントロール・ユニットと、

1組のマルチブレクサであって、

前記マルチブレクサの組からの各マルチブレクサが、第一入力と、第二入力と、出力と、を有し、

マルチブレクサの前記チェーン内の後続のマルチブレクサの前記第一入力が、テスト・インターフェースの前記チェーン内の前記先行のテスト・インターフェースの前記テスト・データ出力接点に結合され、

マルチブレクサの前記チェーン内の先行のマルチブレクサの前記出力が、後続のマルチブレクサの前記第二入力と、テスト・インターフェースの前記チェーン内の前記先行のテスト・インターフェースのテスト・データ入力接点と、に結合され、

マルチブレクサの前記チェーン内の前記第一マルチブレクサの前記第一入力が、前記さらなるテスト・データ出力接点に結合され、

マルチブレクサの前記チェーン内の前記第一マルチブレクサの前記第二入力が、前記テスト・データ入力に結合され、かつ、

マルチブレクサの前記チェーン内の前記最後のマルチブレクサの前記出力が、前記バイパス・マルチブレクサの前記第一入力に結合される、

ことによって、前記マルチブレクサの組がマルチブレクサのチェーンを形成し、前記さらなるテスト・データ出力接点が、マルチブレクサの前記チェーンを介して前記バイパス・マルチブレクサの前記第一入力に結合された、1組のマルチブレクサと、を有する。前述したように、さらなるマルチブレクサのチェーンをテスト・インターフェースのチェーンに挿入することにより、テスト・インターフェースのチェーン内の各テスト・インターフェースのための、テスト・データ入力接点からテスト・データ出力接点へ

30

40

50

の直接的なバイパス・ルートが、さらなるテスト・インターフェース周辺のバイパス・ルートを含めて得られる。この結果、さらなるテスト・インターフェースさえもスイッチ・オフすることが可能となり、これによって、テスト・インターフェースのチェーンからの1つ以上のテスト・インターフェースしか選択されない、テスト状態またはデバッグ状態を作り出すことが出来る。

【0014】

前記さらなるテスト・インターフェースが、

マルチブレクサの前記チェーンからのマルチブレクサに個別のコントロール信号を供給するように構成されており、かつ前記バイパス・マルチブレクサにコントロール信号を供給するように構成されているデータ・レジスタを有し、かつ、

10

前記テスト・モード・コントロール・ユニットが、

前記データ・レジスタに結合されたビット・パターン・デコーダと、

前記さらなるテスト・インターフェースの前記テスト・モード選択接点に結合された第一入力、前記ビット・パターン・デコーダに結合された第二入力、および複数の出力を有し、前記複数の出力からの出力が、前記複数のテスト・インターフェースからの前記テスト・インターフェースに前記個別のテスト・モード選択信号を供給するように構成されている、ロジック回路と、

を有する場合、本発明のさらなる実施例の利点となる。この構成の場合、複数のテスト・インターフェースと、付随するバイパス・マルチブレクサは、さらなるテスト・インターフェースのデータ・レジスタに適切なビット・パターンをシフト・インすることによりコントロールされる。この結果、テストの間、テスト構成を変更することが可能となり、テスト構成が非常に柔軟になり、1から複数のテスト・インターフェースのすべてまでの、任意数のテスト・インターフェースを含めることが可能となる。

マルチブレクサのチェーンからのマルチブレクサに個別のコントロール信号を供給し、かつバイパス・マルチブレクサにコントロール信号を供給するように構成されているテスト・モード・コントロール・ユニットに、テスト・インターフェース選択信号を供給するためのさらなる接点を、電子回路がさらに有することは、本発明のさらなる実施例の別の利点となる。電子デバイスを、テスト・インターフェースに専用のテスト・モード選択信号を提供するための専用の接点によって拡張することにより、対象とされているテスト・インターフェースを容易にスイッチ・オフすることが出来、かつ電子デバイスの外側から（例えば、外部テストによって）付随するマルチブレクサをバイパス状態にスイッチ可能な構成が得られる。

【0015】

米国特許第5,673,276号が、5列24～27行目、5列35～38行目、および請求項1の10列1～6行目に記述されているように、バイパス回路により拡張されている境界スキャン・アーキテクチャを各チップが有するn個の半導体チップ（nは整数）を有する複数のチップ・モジュール(MOD)を開示している点に留意されたい。このようなバイパス回路のマルチブレクサ38は、外部で生成された信号BCEによってコントロールされ、これにより、MODを单一のデバイスとして、または境界スキャン・テストの間にn個のチップの各々が起動される複数チップのアーキテクチャとして、テストすることが可能となる。米国特許第5,673,276号の発明の目的は、2列17～25行に明記されているように、マクロ・デバイスのような境界スキャン対応の構成を作り出すことである。強調すべき点は、n個の半導体チップのTAPの各バイパス・マルチブレクサのコントロールを行うために、外部コントロール信号が用いられているので、この構成が本発明とは実質的に異なっていることである。これに対して、本発明のバイパス・コントロール手段またはさらなるテスト・インターフェースのコントロール下にあるさらなるマルチブレクサをコントロールするために、外部コントロール信号が用いられる場合、テスト・インターフェースのチェーン内のテスト・インターフェースのサブセットをテストまたはデバッグする目的のために選択することが出来る。このオプションは、米国特許第5,673,276号の場合、テスト構成内のn-1個のTAPをバイパスするか、またはn個すべてのTAPを含めるかの何れかであるグローバル・バイパス信号を用い

20

30

40

50

ている結果、利用することが出来ない。したがって、本発明が、米国特許第5,673,276と、非自明でかつ進歩性がある点で、相違することは、特記される。

【発明を実施するための最良の形態】

【0016】

次に、添付の図面を参照しながら、本発明による電子デバイスを非限定的な例としてさらに詳述する。

【0017】

図1の場合、電子デバイス100は幾つかのサブデバイス120aと120bを有している。この構成は、明らかに、本発明の範囲内で拡張可能である。電子デバイス100は、例えば、幾つかのIPコアを有する集積回路、幾つかの集積回路(IC)を有するプリント回路板、または幾つかの半導体チップを有するマルチチップ・モジュールなどにすることが出来る。サブデバイス120a、120bの各々は、各々のテスト・インターフェース140a、140b(例えば、テスト・アクセス・ポート(TAP))により拡張され、電子デバイス100は、IEEE 1149.1規格(例えば、境界スキャン(BS))に対応したさらなるテスト・インターフェース160によって拡張されている。さらなるテスト・インターフェース160は、通常、電子デバイス100のテスト・データ入力110に結合されたテスト・データ入力(TDI)接点161と、テスト・データ出力(TDO)接点162と、テスト・モード選択(TMS)接点163と、テスト・クロック(TCK)接点164と、テスト・リセット(TRST)接点165とを有する。さらに、さらなるテスト・インターフェース160は、電子デバイス100の幾つかのI/O接点に結合された、命令レジスタ170と、データ・レジスタ172と、バイパス・レジスタ174と、境界スキャン・レジスタ176とを有する。レジスタ170、172、174、176は、命令レジスタ170に結合されたデコード・ロジック回路(図示せず)のコントロール下にあるマルチプレクサ178を介して、TDO接点162に結合されている。オプションにより、識別レジスタ(図示せず)も存在する。

【0018】

通常、テスト・インターフェース140aと140bは、さらなるテスト・インターフェース160と同様に、例えば、各々のTDI接点141aと141b、各々のTDO接点142aと142b、各々のTMS接点143aと143b、各々のTCK接点144aと144b、および各々のTRST接点145aと145b、並びに、各々の命令レジスタ150aと150b、各々のデータ・レジスタ152aと152b、および各々のバイパス・レジスタ154aと154bのような、類似の構成要素を有する。強調すべき点は、本発明の実施例の場合、テスト・インターフェース140a、140b、160のTMS接点、TCK接点、およびTRST接点は、適切な信号リードに接続されており、かつこれらのリードが幾つかの図中には、単に図を明確にするためである。レジスタ150a、152a、154aは、命令レジスタ150aに結合されたデコード・ロジック回路(図示せず)のコントロール下にあるマルチプレクサ158aを介してTDO接点142aに結合され、かつ、レジスタ150b、152b、154bは、命令レジスタ150bに結合されたデコード・ロジック回路(図示せず)のコントロール下にあるマルチプレクサ158bを介してTDO接点142bに結合されている。図1の実施例の場合、テスト・インターフェース140aと140bには、BSレジスタがない。なぜならば、このようなレジスタは、意図されたデバッグ目的には厳密には必要でないからである。しかしながら、テスト・インターフェース140aと140bには、BSレジスタが存在することが好ましい。なぜならば、これにより、テスト・インターフェース140aと140bは、BS規格対応となるからである。

【0019】

テスト・インターフェース140aと140bは、テスト・インターフェースのチェーン140を形成し、この中で、先行のテスト・インターフェース140aのTDO接点142aは、後続のテスト・インターフェース140bのTDI接点141bに結合される。テスト・インターフェースのチェーン140は、より多数のテスト・インターフェースが含まれるように容易に拡張可能であることが、当業者には明らかとなるであろう。さらなるテスト・インターフェース160は、そのTDO接点162を、テスト・インターフェースのチェーン140内の第一テスト・インターフェース140aのTDI接点141aに結合することにより、テスト・インターフェースのチェーン140に加えられる。TDO接点162は、さらに、電子デバイス100のテスト・データ出力11

2に結合された出力106を有するバイパス・マルチプレクサ102の第一入力103にも結合される。バイパス・マルチプレクサ102は、テスト・インターフェースのチェーン140内の最後のテスト・インターフェース140bのTDO接点142bに結合された第二入力104も有する。バイパス・マルチプレクサ102は、命令レジスタ170に結合されたバイパス・コントローラ168によりコントロールされる。バイパス・コントローラ168は、命令レジスタ170に結合されたデコード・ロジック回路（図示せず）の一部とすることが出来る。明記すべき点は、この構成がBSに対応していることである。すなわち、TDO接点162をバイパス・マルチプレクサ102の第一入力103に直接結合することにより、テスト・インターフェースのチェーン140がバイパスされる場合、電子デバイス100を單一デバイスとしてテストすることが出来、かつTDO接点162とバイパス・マルチプレクサ102との間にテスト・インターフェースのチェーン140を含めることにより、電子デバイス100を複数のサブデバイス120aと120bとしてテストすることが出来る点である。命令レジスタ170が特定の命令（例えば、境界スキャン・テスト命令またはバイパス命令）を有する場合、通常、テスト・インターフェースのチェーン140はバイパスされる。
10

【0020】

さらに、サブデバイス120aと120bは、個別に、またはサブデバイスの集まり（例えば、サブセット）として、テストまたはデバッグすることが出来る。このために、サブデバイス120aと120bに各々関連付けられたテスト・インターフェース140aと140bに対する適切な命令以外に、専用の、テスト用バイパス(bypass-for-test)命令またはデバッグ用バイパス(bypass-for-debug)命令を命令レジスタ170にシフトして、テスト・インターフェースのチェーン140をバイパスしないようにバイパス・レジスタ174を選択しなければならない。このことは、テスト・インターフェースのチェーン140をバイパスしてしまうと、テストまたはデバッグの所望の結果がテスト・データ出力112で実測されなくなってしまうので、重要である。
20

【0021】

代替の構成の場合、さらなるテスト・インターフェース160は、テスト・インターフェースの組（例えば、テスト・インターフェース140aと140b）の中の各テスト・インターフェースの命令情報を格納するための、バイパス・デコーダ168に結合されたレジスタ180も有する。命令データは、テスト・インターフェースのチェーン140にシフトされると、さらにレジスタ180に複製される。このことにより、テスト・インターフェースのチェーン140が命令レジスタ170内のバイパス命令によって自動的にバイパスされることがなくなるので、専用の、テスト用バイパス命令またはデバッグ用バイパス命令は不要となる。レジスタ180のコンテンツによる指示によって、テスト・インターフェースのチェーン140内のテスト・インターフェース140aと140bが何れもテストまたはデバッグに対して選択されない場合しか、バイパス・マルチプレクサ102は、テスト・インターフェースのチェーン140をバイパスするように設定されないであろう。これにより、テスト・データ入力110とテスト・データ出力112を介してレジスタ180を外部からテストすることが可能となる。
30

【0022】

次に、図1とその詳細説明を再度参照しながら、残りの図を説明する。対応する参考番号は、注記がない限り、類似の意味を有する。サブデバイス120aと120bは、以下の図では單に図を明確にするために省略されているが、依然存在していることを強調しておく。
40

【0023】

図2の場合、テスト・モード・コントロール・ユニット190が、さらなるテスト・インターフェース160に統合されている。レジスタ172、174、176は、単に図を明確にするために、さらなるテスト・インターフェース160から省略されているが、本発明による電子デバイスのこの特定の実施例に依然存在している。ここで、テスト・モード・コントロール・ユニットは、テスト・インターフェースのチェーン140内のテスト・インターフェース140aと140bのTMS接点143aと143bの各々に結合された出力を有する、ロジック回路192（例えば、ANDゲート）を有する。ANDゲート192は、その第一入力を介して、さらなるテスト・インターフェースのTMS接点163に結合されている。さらに、テスト・モード・コントロール
50

・ユニットは、命令レジスタ172とANDゲート192の第二入力との間に結合されたビット・パターン・デコーダ194を有する。ビット・パターン・デコーダ194は、命令レジスタ170内の命令オペコードのビット・パターン部分を評価するよう構成されている。強調すべき点は、評価中のビット・パターンが单一ビットから成る場合、ビット・パターン・デコーダを、命令レジスタ170の対応するデータ格納要素を、ANDゲート192の第二入力に結合させるとなる単なるインバータまたはワイヤのような単純なものにすることが出来ることである。さらなるテスト・インターフェース160に、そのTMS接点163を介してTMS信号が供給された場合、テスト・モード・コントロール・ユニット190に命令レジスタ170内の適切なビット・パターンを送ることにより、テスト・インターフェースのチェーン140内のテスト・インターフェース140aと140bを、テスト構成に含ませたり、または、例えば、機能モードにスイッチされたテスト構成から除外することが出来る。テスト・インターフェース140aと140bをテスト構成から除外することにより、JTAG命令が、対応するテスト・インターフェースの命令レジスタに依然としてロード可能なために、後で実行されてしまい、電子デバイス100の動作に影響を及ぼしてしまう可能性がなくなる。したがって、これが有する利点は、テスト中またはデバッグ中のサブデバイスが、受動的な（例えば、バイパス）テスト・モード状態にある他のサブデバイスとの相互作用による悪影響を受けないので、電子デバイス100のテスト可能性とデバッグ機能性の向上に寄与することである。この結果、例えば、テスト・インターフェース140a、140b、160が全てテスト・モード状態にある状態か、または専用のビット・パターンを有する命令を用いることにより、テスト・インターフェース140aと140bを強制的にこれらの機能モードにすることにより、サブデバイス120a、120bがテスト構成またはデバッグ構成から除外されている状態で、電子デバイス10をマクロ・デバイスとしてテストまたはデバッグすることが可能となる。なお、明記すべき点は、本発明の範囲内でANDゲート192が同等のロジックゲートまたはその組み合せに容易に置換可能であることが、当業者に明らかとなることである。

【0024】

図3を、図2とその詳細説明とを再度参照しながら説明する。明記すべき点は、単に図を明確にするために、テスト・インターフェース140aのレジスタ142a、144a、146a、テスト・インターフェース140bのレジスタ142b、144b、146b、並びにTCK接点144aと144b、およびTRST接点145aと145bが、図2に比較して図3から省略されていることである。同様に、命令レジスタ170がデータ・レジスタ172に置換されている事実は、命令レジスタ170が、さらなるテスト・インターフェース160にないことを意味しない。本発明のこの特定の実施例の場合、ビット・パターン・デコーダ194は、データ・レジスタ172とロジック回路192とに結合されている。さらに、テスト・インターフェースのチェーン140には、マルチブレクサのチェーン220が、以下のようにインターリープされている。テスト・インターフェースのチェーン140内の先行のテスト・インターフェース140aのTDO接点141aは、マルチブレクサのチェーン220内の先行のマルチブレクサ220aの出力226aに結合されている。テスト・インターフェースのチェーン140内の先行のテスト・インターフェース140aのTDO接点142aは、マルチブレクサのチェーン220内の後続のマルチブレクサ220bの第一入力222bに結合されている。さらに、先行のマルチブレクサ220aの出力が、後続のマルチブレクサ220bの第二入力224bに結合されることにより、先行のテスト・インターフェース140aの周りにバイパス経路が作り出されている。また、マルチブレクサのチェーン220内の第一マルチブレクサ220aの第一入力222aが、TDO接点162に結合され、かつマルチブレクサのチェーン220内の第一マルチブレクサ220aの第二入力224aが、テスト・データ入力110に結合されることにより、さらなるテスト・インターフェース160のためのバイパス経路も設けられている。最後に、マルチブレクサのチェーン220内の最後のマルチブレクサ220bの出力226bが、バイパス・マルチブレクサ102の第一入力103に結合されている。これで、TDO接点162は、マルチブレクサのチェーン220を介して、バイパス・マルチブレクサ102の第一入力103に結合された状態になっている。再度強調すべき点は、テスト・インターフェースのチェーン140と、マルチブレクサの付随するチェーン220とが、本発明の範囲内で容易に拡張可能のことである。さらに、明示的に明記すべき点は、テスト・インターフェースのチェーン140と、マルチブレクサの付随するチェーン220とが、本発明の範囲内で容易に拡張可能のことである。

ーン140が、例えば、付隨するマルチブレクサをマルチブレクサのチェーン220内に有さない、バイパス不可能なテスト・インターフェースを有しても良いことである。したがって、このようなテスト・インターフェースを、選択されたテスト構成から除外することは出来ない。

【0025】

マルチブレクサのチェーン220内の各マルチブレクサと、バイパス・マルチブレクサ102は、データ・レジスタ172のコンテンツによりコントロールされる。したがって、図3に示されている実施例からバイパス・デコード・ユニット168を省略しても良い。換言すれば、データ・レジスタ172は、マルチブレクサのチェーン220からのマルチブレクサ220aと220bの各々に個別のコントロール信号を供給し、さらにバイパス・マルチブレクサ102にコントロール信号を供給するように構成されている。さらに、ピット・パターン・デコード194は、対象とされているテスト構成から、テスト・インターフェース140a、140b、160を選択かつ除外するための複数の信号を、ロジック回路192に供給するように構成されている。ロジック回路192は、TMS接点163に結合された第一入力と、ピット・パターン・デコード194からの複数の信号の内の1つを受信するように構成された第二入力と、対象とされているテスト・インターフェースの1つに結合された出力と、を各々が有する複数のANDゲートを有することが出来る。テスト・モード選択ユニット190と、テスト・インターフェースのチェーン140からのテスト・インターフェースとの結合は、データ通信バスにより実現することが好ましい。ロジック回路192の他の実施例が、本発明の範囲内で容易に利用可能となることが、当業者には明らかとなるであろう。さらに、ピット・パターン・デコード194を、ワイヤの集まり、インバータの集まり、またはこれらの組み合せのような単純なものにしても良い。

【0026】

この構成により、テスト設定またはデバッグ設定を非常に柔軟に行うことが可能となる。すなわち、適切なデータパターンをデータ・レジスタ172に書き込むことにより、存在する複数のテスト・インターフェースからの各テスト・インターフェース140a、140b、160を、バイパス・マルチブレクサ102を含んだマルチブレクサのチェーン220によってバイパスさせかつ機能的なモードにスイッチさせるか、または、テスト・モード選択ユニット190によってテスト設定またはデバッグ設定に個別に含ませるか、の何れかとすることが出来る。この設定は、実行時にも変更可能である。すなわち、データ・レジスタ172に新たなピット・パターンをシフト・インすることにより、テスト・インターフェースのチェーン140と、マルチブレクサのチェーン220は、これら自身の構成を相応に変更する。明記すべき点は、さらなるテスト・インターフェース160が、機能モード（例えば、実行テスト・アイドル・モード）にスイッチされた場合、さらなるテスト・インターフェース160にTMS接点165上のテスト・リセット信号を供給することでしか、電子デバイス100の動作方法を変更出来ないことである。

【0027】

図4には、電子デバイス100のテストまたはデバッグを目的とした部分を選択した代替構成が表されている。図4を、図3とその詳細説明を再度参照しながら説明する。なお、単に図を明確にするために、データ・レジスタ172がさらなるテスト・インターフェース160から省略されているが、これはデータ・レジスタ172がさらなるテスト・インターフェース160に存在しないことを必ずしも示さないことを述べておく。

【0028】

電子デバイス100は、テスト・インターフェースのチェーン140内の各テスト・インターフェース140aと140b、およびさらなるテスト・インターフェース160に、これらの各々のTMS接点143a、143b、163を介して専用のTMS信号を供給するためのテスト・モード選択ユニット190により、拡張されている。さらに、マルチブレクサ220a、220b（例えば、マルチブレクサのチェーン220内のマルチブレクサ）、およびバイパス・マルチブレクサ102も、テスト・モード選択ユニット190に反応する。換言すれば、テスト・モード・コントロール・ユニット190は、マルチブレクサのチェーン220からのマルチブレクサに、個別のコント

ロール信号を供給し、さらにバイパス・マルチブレクサ102にコントロール信号を供給するように構成されている。テスト・モード・コントロール・ユニット190には、電子デバイス100のTMS接点を介して、専用のTMS信号が送られる。さらに、テスト・モード・コントロール・ユニット190には、電子デバイス100の専用接点を介して、テスト・インターフェースに特化したテスト選択信号が供給される。例えば、接点114を介してテスト・モード・コントロール・ユニット190に適切なテスト・インターフェース選択信号を供給することにより、さらなるテスト・インターフェース160を選択または除外することが出来、接点116を介してテスト・モード・コントロール・ユニット190に適切なテスト・インターフェース選択信号を供給することにより、テスト・インターフェース140aを選択または除外することが出来、テスト・インターフェース140b用の専用のテスト・インターフェース選択信号が、接点118を介して受信されたりする。したがって、BSテスト・ポート（例えば、テスト・データ入力110）を介してコントロールされないテスト・インターフェースは、テスト・ロジック・リセット状態（例えば、テスト・インターフェースの機能モード）で動作を継続させることが出来るので、これらのテスト・インターフェースをバイパスするためのマルチブレクサは、テスト・モード・コントロール・ユニット190のコントロールの下、バイパス状態にスイッチされるであろう。テスト・インターフェースを、そのテスト・ロジック・リセット状態にするために用いられるテスト・インターフェース選択信号も用いて、対応するバイパス・マルチブレクサをバイパス状態にスイッチさせることも好ましい。強調すべき点は、IEEE 1149.1規格により接点114と116を追加することが出来るので、図2の構成がBS規格対応となることである。20

【0029】

上述の実施例は、本発明を制限するのではなく例示しているのであり、かつ添付の請求の範囲の範囲内において多くの代替実施例の設計が当業者には可能となることに留意すべきである。請求項においては、括弧の間に配置されているいがなる参照記号も、請求項を制限するものと解釈すべきではない。「有する」という言葉は、請求項に記載されているもの以外の要素またはステップの存在を除外しない。ある要素の前にある「1つの」という言葉は、このような要素が複数存在することを除外しない。本発明は、幾つかの個別の要素を有するハードウェア、および最適にプログラムされているコンピュータにより実施可能である。幾つかの手段を列挙しているデバイス請求項の場合、これらの手段の幾つかは、ハードウェアと全く同一の部材により実施可能である。特定の手段が相互に異なる従属請求項に詳述されているという單なる事実は、これらの手段の組み合せを有利に使用することが出来ないことを示さない。30

【図面の簡単な説明】

【0030】

【図1】本発明による電子デバイスの実施例を示す。

【図2】本発明による電子デバイスの別の実施例を示す。

【図3】本発明による電子デバイスの別の実施例を示す。

【図4】本発明による電子デバイスの別の実施例を示す。

【符号の説明】

【0031】

100…電子デバイス

102…バイパス・マルチブレクサ

103…第一入力

104…第二入力

105…第三入力

106…出力

110…テスト・データ入力

112…テスト・データ出力

114…接点

116…接点

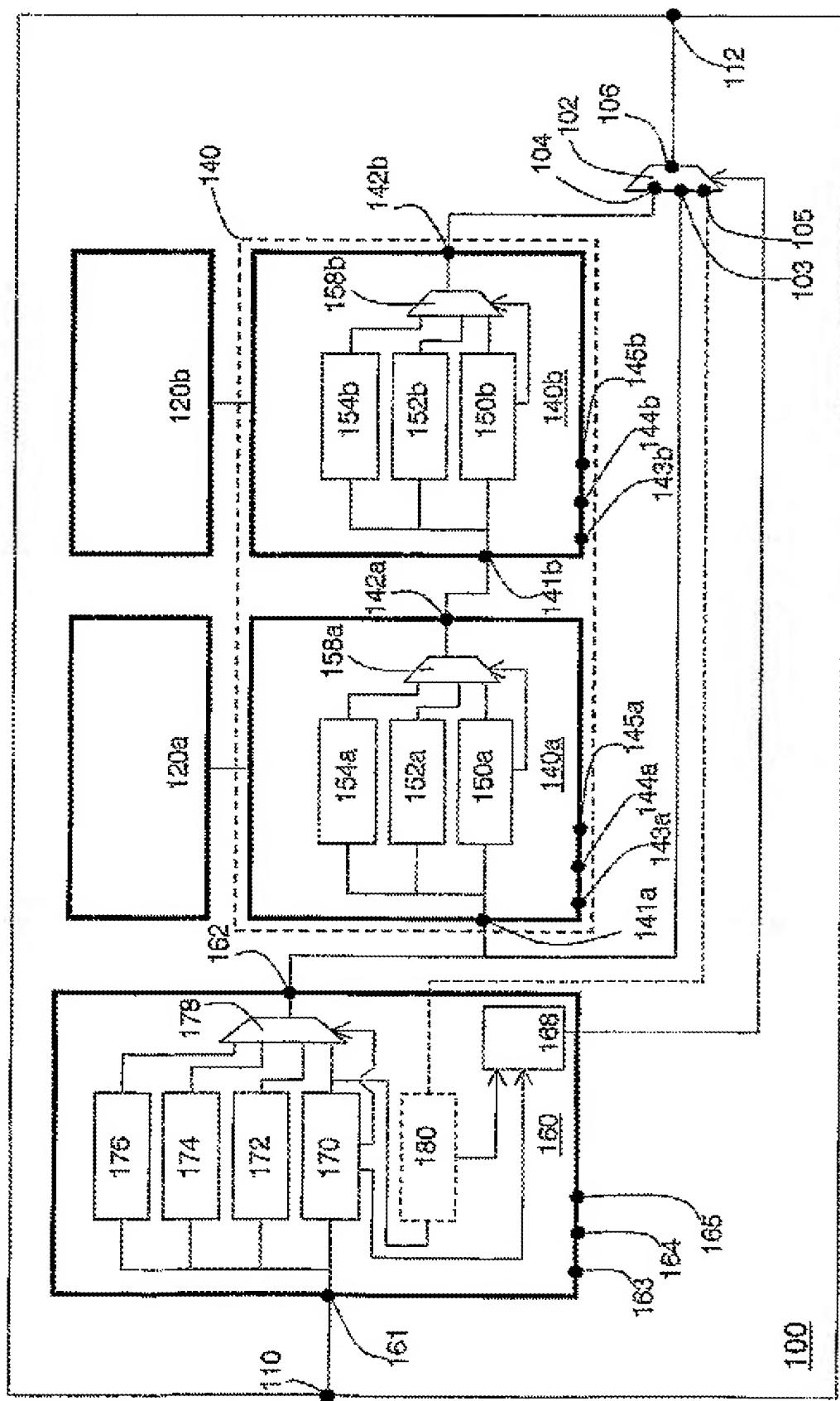
40

50

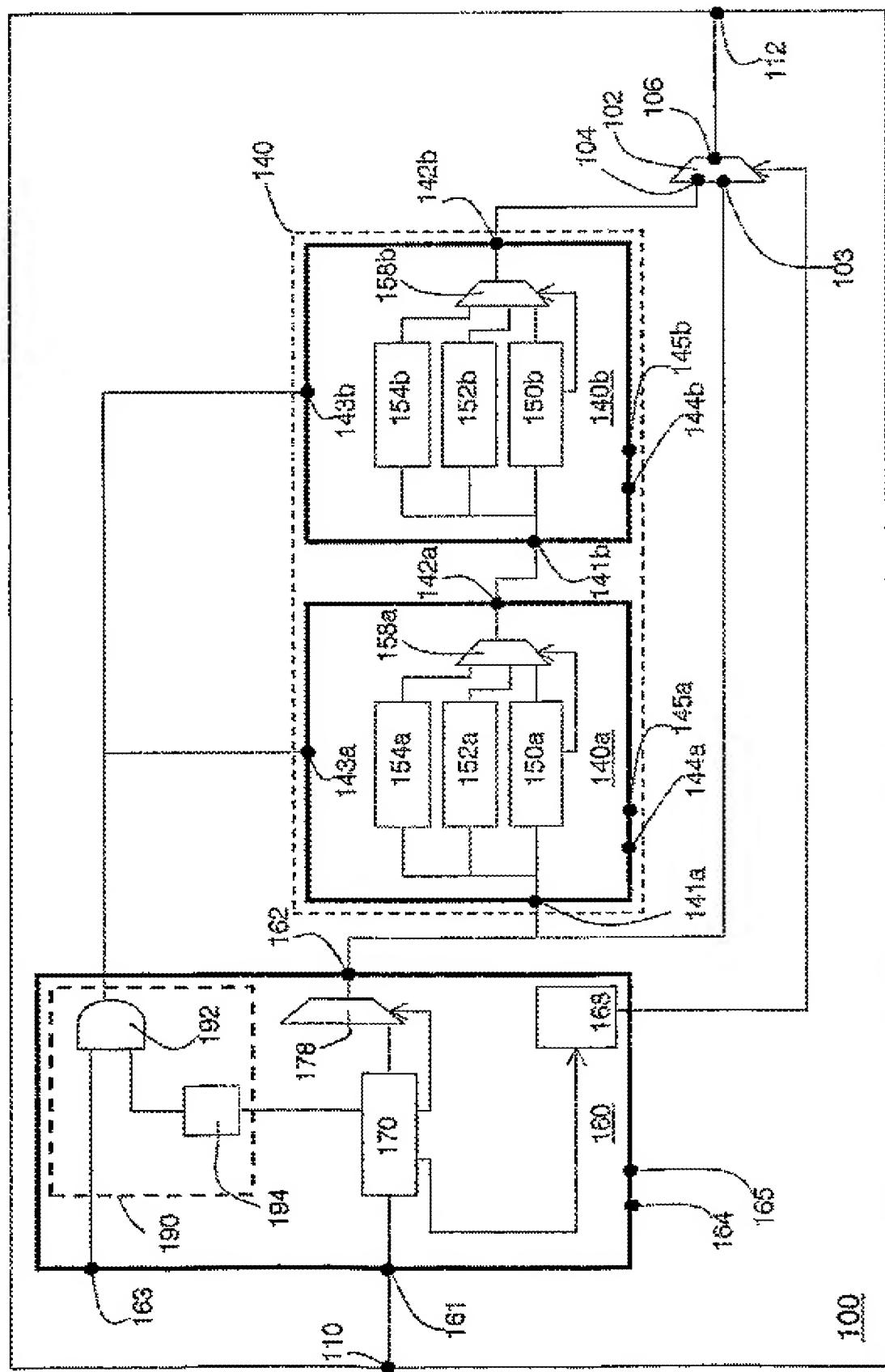
118…接点	
120a…サブデバイス	
120b…サブデバイス	
140…テスト・インターフェースのチェーン	
140a…テスト・インターフェース	
140b…テスト・インターフェース	
141a…テスト・データ入力接点	
141b…TDI接点	
142a…レジスタ	
142b…レジスタ	10
143a…TMS接点	
143b…TMS接点	
144a…レジスタ	
144b…レジスタ	
145a…TRST接点	
145b…TRST接点	
146a…レジスタ	
146b…レジスタ	
150a…命令レジスタ	
150b…命令レジスタ	20
152a…データ・レジスタ	
152b…データ・レジスタ	
154a…バイパス・レジスタ	
154b…バイパス・レジスタ	
158a…マルチプレクサ	
158b…マルチプレクサ	
160…テスト・インターフェース	
161…テスト・データ入力接点	
162…テスト・データ出力接点	
163…TMS接点	30
164…テスト・クロック(CTCK)接点	
165…テスト・リセット(TRST)接点	
168…バイパス・コントローラ	
170…命令レジスタ	
172…レジスタ	
174…レジスタ	
176…レジスタ	
178…マルチプレクサ	
180…レジスタ	
190…テスト・モード・コントロール・ユニット	40
192…ANDゲート	
194…ピット・パターン・デコーダ	
220…マルチプレクサのチェーン	
220a…マルチプレクサ	
220b…マルチプレクサ	
222a…第一入力	
222b…第一入力	
224a…第二入力	
224b…第二入力	
226a…出力	50

226b…出力

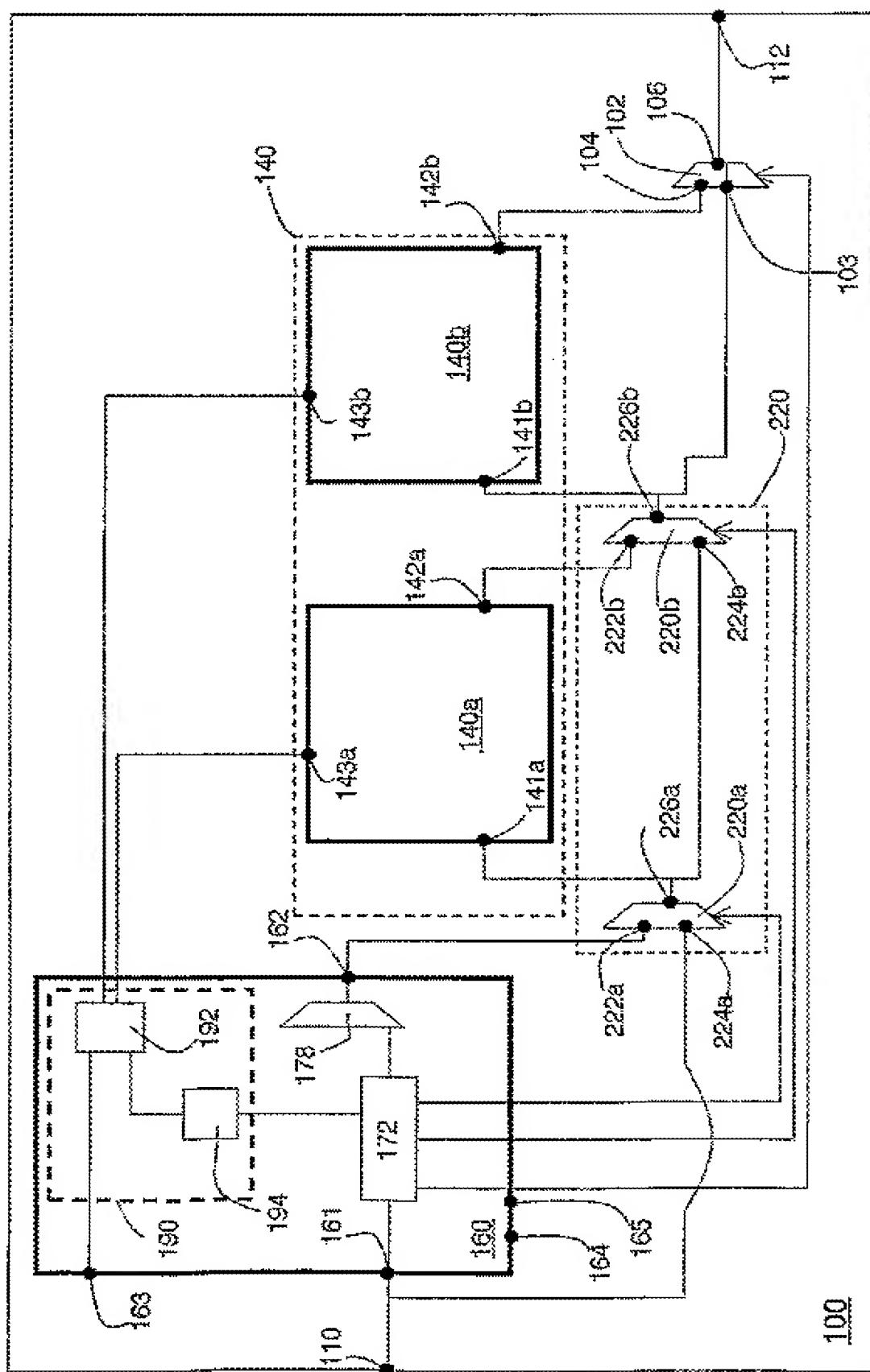
[图 1]



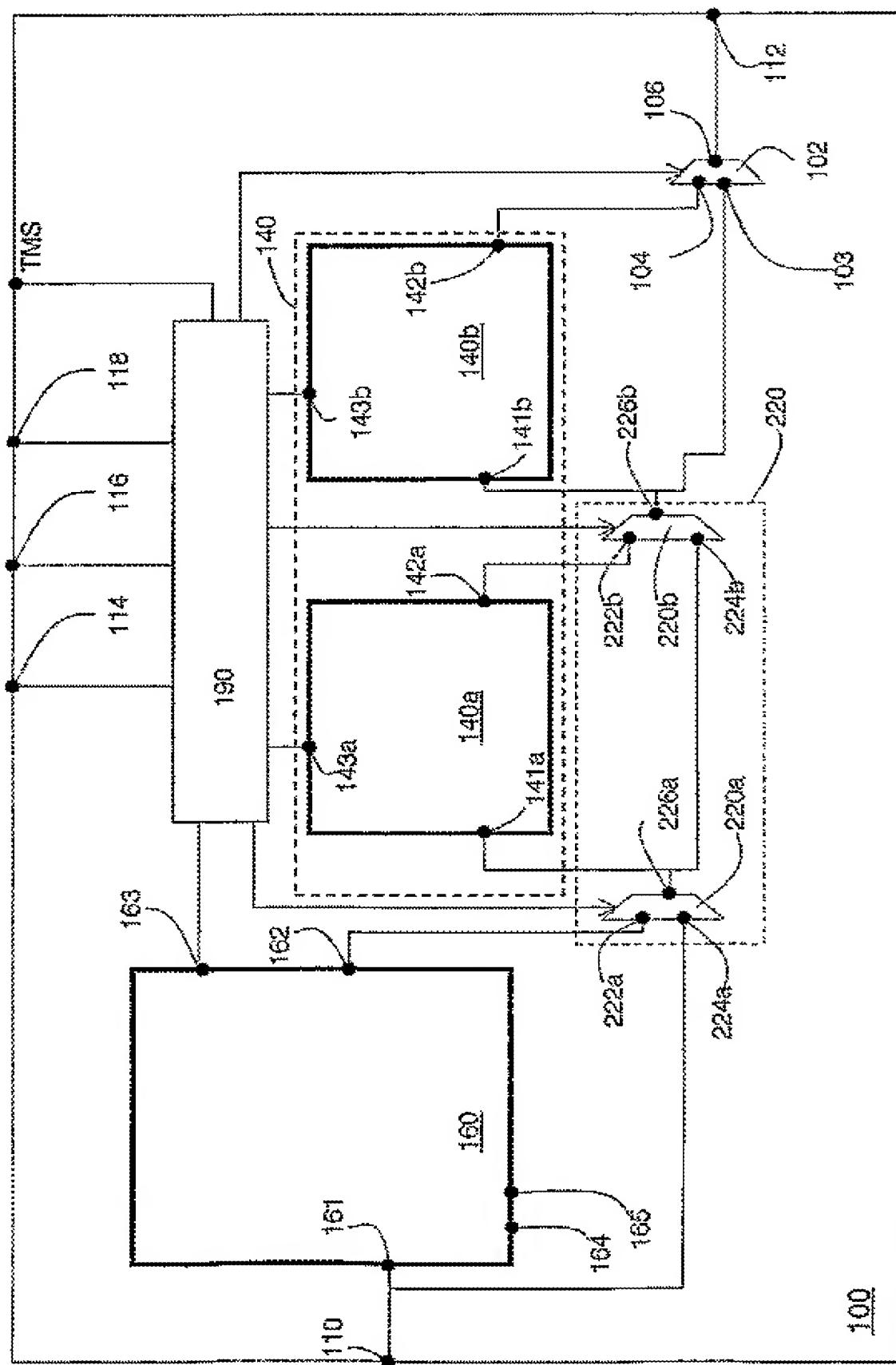
[図 2]



[図3]



[图 4]



W64-11340298

PATENTDOCUMENT

Electronic device

The invention relates to an electronic device, comprising:

- a plurality of subdevices;
- a bypass multiplexer having a first input, a second input and an output;
- a test data signal;
- 5 a test data output coupled to the output of the bypass multiplexer;
- a plurality of test interfaces, comprising:
 - a set of test interfaces, each test interface in the set of test interfaces being coupled to a subdevice from the plurality of subdevices, the set of test interfaces forming a chain of test interfaces in that a test data output contact of a previous test interface in the chain of test interfaces is coupled to a test data input contact of a subsequent test interface in the chain of test interfaces, and
 - 10 a boundary scan compliant higher test interface for controlling the bypass multiplexer, the higher test interface having:
 - a further test data input contact coupled to the test data input; and
 - 15 a further test data output contact coupled to the first input of the bypass multiplexer.

An embodiment of such an electronic device is disclosed in a paper of the conference journal Proceedings of the international test conference (ITC) 2000, p.628-637, "Considerations for Implementing IEEE 1149.1 on System-on-a-Chip Integrated Circuits" by Stewart P. Gaskins, and in particular in Figure 7 of the paper.

In the art of IC design, range of existing building blocks is becoming more and more a common place to reduce time-to-market. With the ongoing downscaling of integration dimensions, the complexity of these building blocks increases so much as even that electronic devices, e.g. printed circuit boards (PCBs) carrying a plurality of subdevices, system-on-chip architectures, multiple chip modules (MCMs) and so on, are built up by smaller, increasingly complex electronic devices, e.g. IP cores, embedded processors, integrated circuits and so on. When assembled into a single electronic device, the device will typically

consist of a number of subdevices each having their own test architectures, e.g. a boundary scan test arrangement shareable through a test interface. Typically, such a test interface, e.g. a test access port (TAP), receives control signals through a TAP controller for controlling the various states of this test interface. In addition, the electronic device into which the various subdevices are integrated may also comprise some logic to be tested of its own, like clock synchronization logic. This poses complications to the testing and/or debugging of such devices, because the direct accessibility of most of these test interfaces, through input/output contacts in the periphery of the electronic device is unfeasible in terms of certain resources and cost. In addition, the various test interfaces have to be arranged in such a fashion that each of the subdevices can be testable independent on its own as well as in a cluster of subdevices, with the total electronic device acting as a single device under test being the upper limit.

The ITC 2000 paper discloses an electronic device having a plurality of embedded processors with a boundary scan architecture. TAP accessibility is provided by connecting the embedded processor TAPs in series, with the test data in contact of a test TAP connected to the test data in contact of a former TAP, thus forming a chain of embedded processor TAPs. In addition, an instruction register of a system-level master TAP is included in the chain as well, whereas the data registers and the bypass register of the system-level TAP are arranged in parallel with the corresponding registers of the test interfaces in the chain, thus creating a hierarchy in the data and bypass parts of the access mechanism.

It is a disadvantage of the known arrangement that the use of the data register of the master test interface simultaneous with the data registers of the TAPs of the embedded processors is prevented by the hierarchical access mechanism. Especially when debugging an embedded processor, its interaction with surrounding system-level logic can be important to obtain a large fault coverage during debug. This is difficult in the known arrangement, because the system-level logic under control of the master TAP cannot be fed with debug data when an embedded processor is being debugged.

30. In addition, it is an object of the invention to provide an electronic device of the kind described in the opening paragraph having increased debug functionality.

Now, the object of the invention is realized in that a test data out contact of a last test interface in the chain of test interfaces is coupled to the second input of the bypass

multiplexes, and the further test data out contact is further coupled to a test data in contact of a first test interface in the chain of test interfaces.

The full addition of the further test interfaces to the chain of test interfaces is particularly advantageous, because data can be provided to the subordinate test interfaces and the further test interface at the same time. For example, a subdevice can be debugged while during data is also provided to the surrounding logic not belonging to a subdevice via the further test interface or another test interface, thus yielding improved fault coverage during debug. Obviously, similar advantages are obtained during other functional tests.

10 It is an advantage if the further test interface comprises a bypass controller coupled to an instruction register of the further test interface for controlling the bypass multiplexer.

Typically, the content of the instruction register of a boundary scan compliant test interface specifies which register of the test interface is activated, e.g. the bypass, data, boundary sets or the optional identification register. By monitoring the content of the instruction register 15 the bypass controller can force the bypass multiplexer to switch to a bypass state if an inappropriate instruction, e.g. boundary scan test or bypass instruction, is present in the instruction register. Furthermore, it facilitates the detectability of additional dedicated further test interface functions, e.g. a bypass for doing instruction, for which the further test interface can be bypassed without selecting the bypass state of the bypass multiplexer.

20 This way, other test interfaces from the chain of test interfaces can be easily selected as a device under test or as a device under debug.

It is another advantage if the further test interface comprises a register coupled to the bypass controller for storing instruction information of each test interface from the set of test interfaces.

25 The inclusion of a register for storing instruction information, e.g. the instruction address, of each test interface from the set of test interfaces is useful when the test or doing software does not facilitate the use of dedicated test or doing instructions. This prevents the erroneous switching of the bypass multiplexer to a bypass state when the further test interface is bypassed with the BYPASS instruction to facilitate the testing or debugging of a test interface from the set of test interfaces, because the instruction forcing that test interface into the desired mode will also be detected by the bypass controller in the additional register.

30 It is yet another advantage if the register is further coupled to a third input of the bypass multiplexer.

The connection of the register to the bypass register renders the register testable via the test

WO 2005/029567

4

data input and test data output of the electronic device, thus improving the test coverage of the device.

In an embodiment of the present invention, the electronic device further comprises a test mode control unit for controlling a test mode of a test interface in the chain of test interfaces, the test mode control unit comprising: a bit pattern decoder coupled to an instruction register of the further test interface; and a logic circuit having a first input coupled to a test mode select contact of the further test interface; a second input coupled to the bit pattern decoder; and an output coupled to the chain of test interfaces.

If an instruction indicating the test or debug of the part of the electronic device under control of the further test interface, with a designated bit pattern is present in the instruction register, the bit pattern decoder will detect this pattern and will forward a signal to the logic circuit (e.g. an AND gate). All test interfaces in the chain of test interfaces are connected to the output of the logic circuit through their respective TMS contacts, and consequently, the whole chain can be switched off, providing a test or debug mode in which the part of the electronic device under control of the further test interface can be tested or debugged in isolation.

In a further embodiment of the present invention, the electronic device comprises a test mode control unit for providing a test interface from the plurality of test interfaces with an individual test mode select signal; a set of multiplexers, each multiplexer from the set of multiplexers comprising a first input, a second input and an output, the set of multiplexers forming a chain of multiplexers in that the first input of a successor multiplexer in the chain of multiplexers is coupled to the test data output contact of the predecessor test interface in the chain of test interfaces; the output of a predecessor multiplexer in the chain of multiplexers is coupled to the second input of a successor multiplexer and to a test data input contact of the predecessor test interface in the chain of test interfaces; the first input of the first multiplexer in the chain of multiplexers is coupled to the further test data out contact; the second input of the first multiplexer in the chain of multiplexers is coupled to the test data input; and the output of the last multiplexer in the chain of multiplexers is coupled to the first input of the bypass multiplexer, wherein the further test data out contact is coupled to the first input of the bypass multiplexer via the chain of multiplexers.

The aforementioned invention of a chain of a further multiplexers in the chain of test interfaces provides direct bypass routes from the test data input contact to the test data output contact for each test interface in the chain of test interfaces, including a bypass route around the further test interface. Consequently, even the further test interface can be switched off, which provides the possibility of testing a test or debug state in which only one or more test

surfaces from the class of test interfaces are selected.

It is an advantage of the further embodiment of the present invention if the further test interface comprises a data register being arranged to provide a multiplexer from the chain of multiplexers with an individual control signal, and being arranged to provide the bypass multiplexer with a control signal, and the test mode control unit comprises a bit pattern decoder coupled to the data register; and a logic circuit, having a first input coupled to a test mode select control of the further test interface; a second input coupled to the bit pattern decoder; and a plurality of outputs, wherein an output from the plurality of outputs is arranged to provide the test interface from the plurality of test interfaces with the individual

16 test mode select signal

In this arrangement, the plurality of test interfaces and accompanying bypass multiplexers are controlled by shifting in an appropriate bit pattern into the data register of the further test interface. Consequently, the test arrangement can be reconfigured during test, which provides a very flexible test architecture, in which any number of test interfaces ranging from one to

18 the full plurality of test interfaces can be included.

It is another advantage of the further embodiment of the present invention if the electronic circuit further comprises a further unit for providing the test mode control unit with a test interface selection signal, the test mode control unit being arranged to provide a multiplexer from the chain of multiplexers with an individual control signal; and to provide

20 the bypass multiplexer with a control signal.

The extension of the electronic device with a dedicated contact for providing a test bus line with a dedicated test mode select signal provides an arrangement in which targeted test interfaces can be readily switched off and accompanying multiplexers can be switched to a bypass state from outside the electronic device, e.g. by the external tester.

22 It is noted that US 5,673,276 describes a multiple chip module (MCM) having a semiconductor chip, n being an integer, with each chip having a boundary scan architecture being extended with a bypass circuit, as described in col. 5, lines 24-27 and col. 5, lines 35-38 as well as in column 1, col. 16, lines 1-6. Multiplexer 38 of such a bypass circuit is controlled by an externally generated signal BCF, which enables testing of the MCM either 24 as a single device or as a multiple chip architecture, to which each of the n chips is active during boundary scan test. As stipulated in col. 2, lines 17-23, the aim of the invention of US 5,673,276 is to create an arrangement that is boundary scan compliant as a single device. It is emphasized that that arrangement is substantially different from the present invention, because an external control signal is used to control each of the bypass multiplexers of the

TAPs of the semiconductor chip, as opposed to the further multiplexers under control of the bypass control means or the further test interface of the present invention, where a subset of test interfaces in the state of test interface can be selected for test or debug purposes; an option that is unavailable in US 5,673,376 as a result of the use of the global bypass signal that either bypasses all TAPs or includes all n TAPs in the test arrangement. It is therefore appreciated that the present invention exhibits non-obvious and advantageous differences with US 5,673,376.

10 Now, the electronic device according to the present invention is described in more detail and by way of non-limiting example with reference to the accompanying drawings, wherein:

Fig. 1 shows an embodiment of the electronic device according to the present invention;

15 Fig. 2 shows another embodiment of the electronic device according to the present invention;

Fig. 3 shows yet another embodiment of the electronic device according to the present invention; and

20 Fig. 4 shows yet another embodiment of the electronic device according to the present invention.

In Fig. 1, electronic device 100 carries a number of subdevices 120a and 120b. Obviously, this arrangement can be extended without departing from the scope of the invention. Electronic device 100 can, for instance, be an integrated circuit carrying a number of IP cores, a printed circuit board carrying a number of integrated circuits (ICs) or a single chip module carrying a number of semiconductor chips and so on. Each of the subdevices 120a, 120b is extended with a respective test interface 140a, 140b, e.g. a test access port (TAP), whereas electronic device 100 is extended with a JTAG, IEEE1149.1 standard, e.g. boundary scan (BS), compliant further test interface 160. The further test interface 160 typically has a test data in (TDI) contact 161 coupled to a test data input TDI of electronic device 100, a test data out (TDO) contact 162, a test mode select (TMS) contact 163, a test clock (TCK) contact 164 and a test reset (TRST) contact 165. In addition, the further test interface 160 has an instruction register 170, a data register 172, a bypass register 174, and a

boundary scan register 175 coupled to a number of TDO contacts of the electronic device 100. The registers 150, 172, 174 and 176 are coupled to TDO contact 102 through a multiplexer 178 under control of decode logic not shown that is coupled to instruction register 170.

Optionally, an identification register not shown is also present.

5 Typically, test interfaces 140a and 140b have similar components as further test interfaces 160, e.g. respective TDI registers 141a and 141b, respective TDO contacts 142a and 142b, respective TMS controls 143a and 143b, respective TCK controls 144a and 144b, and respective TRST controls 145a and 145b, as well as respective instruction registers 150a and 150b, respective data registers 152a and 152b and respective bypass registers 154a and 154b. It is emphasized that, in the embodiments of the present invention, the TMS, TCK and TRST controls of test interfaces 140a, 140b and 160 are connected to the appropriate signal leads, and that the absence of these leads in the various Figs. is for reasons of clarity only. Registers 150a, 152a and 154a are coupled to TDO contact 142a through a multiplexer 158a under control of decode logic not shown that is coupled to instruction register 150a, and registers 150b, 152b and 154b are coupled to TDO contact 142b through a multiplexer 158b under control of decode logic not shown that is coupled to instruction register 150b. In the embodiment of Fig. 1, test interfaces 140a and 140b each a RS register, because such a register is not strictly necessary for the intended testing purposes. However, the presence of a RS register in test interfaces 140a and 140b is preferred, because it would render test interfaces 140a and 140b compliant with the JESD standard.

10 Test interfaces 140a and 140b form a chain of test interfaces 140, in which the TDO contact 142a of predecessor test interface 140a is coupled to the TDI contact 141b of successor test interface 140b. It will be obvious to anyone skilled in the art that the chain of test interfaces 140 can be readily extended to include a larger number of test interfaces.

15 Further test interface 160 is added to the chain of test interfaces 140 by the coupling of its TDO contact 162 to the TDI contact 141a of the first test interface 140a in the chain of test interfaces 140. In addition, TDO contact 163 is also coupled to the first input 103 of a bypass multiplexer 102, which has an output 106 coupled to a test data output 312 of electronic device 100. Bypass multiplexer 102 also has a second input 104 coupled to the TDO contact 162 of the last test interface 140b in the chain of test interfaces 140. Bypass multiplexer 102 is controlled by bypass controller 168 coupled to instruction register 170. Bypass controller 168 can be a part of the decode logic not shown that is coupled to instruction register 170. It is stipulated that this arrangement is RS compliant: electronic device 100 can be tested as a single device, in which case the chain of test interfaces 140 is bypassed through the direct

coupling of TDO control 163 to first input 103 of bypass multiplexer 102, and it can be tested as a plurality of subdevices 120a and 120b by inclusion of the chain of test interfaces 140 in between TDO control 163 and bypass multiplexer 102. Typically, the chain of test interfaces 140 is bypassed when instruction register 170 comprises certain instructions e.g. a boundary scan test instruction or a bypass instruction.

In addition, subdevices 120a and 120b can be tested or debugged individually or as a collection, e.g. subset, of subdevices. To this end, apart from the appropriate instructions for test interfaces 140a and 140b associated with subdevices 120a and 120b respectively, a dedicated bypass-for-test or bypass-for-debug instruction has to be shifted into instruction register 170 to select bypass register 174 without bypassing the chain of test interfaces 140. This is important, because bypassing the chain of test interfaces 140 would prevent the observation of the desired test or debug results on test data output 112.

In an alternative arrangement, further test interface 160 also has a register 180 coupled to bypass decoder 168 for storing the instruction indicating of each test interface in the set of test interfaces, e.g. test interfaces 140a and 140b. When the instruction data is shifted into the chain of test interfaces 140, it is also copied into register 180. This obviates the need for a dedicated bypass-for-test or bypass-for-debug instruction, because now a bypass instruction in instruction register 170 will not automatically lead to the bypass of the chain of test interfaces 140. Only if none of the test interfaces 140a and 140b in the chain of test interface 140 is selected for test or debug, as indicated by the content of register 180, bypass multiplexer 102 will be set to bypass the chain of test interfaces 140. Preferably, register 180 is coupled a third input 105 of bypass multiplexer 102. This renders the register 180 immune from the outside throughtest data input 110 and test data output 112.

Now, the remaining Figs. are described while referring back to Fig. 1 and its detailed description. Corresponding reference numerals have similar meanings unless stated otherwise. It is emphasized that subdevices 120a and 120b are still intended to be present; they have been omitted from the following Figs. for reasons of clarity only.

In Fig. 3, a test mode control unit 190 is integrated in further test interface 160. Registers 172, 174 and 176 have been omitted from further test interface 160 for reasons of clarity only; they are still present in this particular embodiment of the electronic device according to the present invention. Here, the mode control unit has a logic circuit 192, e.g. an AND gate, with an output coupled to each of the TMS controls 143a and 143b of the test interfaces 140a and 140b in the chain of test interface 140. AND gate 192 is coupled through a test data input 110 with the TMS control 163 of the further test interface. In addition,

WO 2005/025599

PCT/IB02/05947

test mode control unit has a bit pattern decoder 194 coupled between the instruction register 172 and a second input of AND gate 192. Bit pattern decoder 194 is arranged to evaluate part of a bit pattern of an instruction opcode in instruction register 170. It is emphasized that, when the bit pattern under evaluation consists of a single bit, bit pattern decoder can be as simple as an inverter or a mere wire coupling the corresponding data storage element of instruction register 170 with the second input of AND gate 192. If further test interface 160 is provided with a TMS signal through its TMS contact 163, test interfaces 140a and 140b in the chain of test interfaces 140 can be included in the test arrangement or excluded from the test arrangement, e.g. switched to a functional mode, by setting the test mode control unit 190 with an appropriate bit pattern in instruction register 170. The exclusion of test interfaces 140a and 140b from the test arrangement prevents that a JTAG instruction can still be loaded into the instruction register of the corresponding test interface and subsequently executed, which could affect the operation of electronic device 100. Consequently, this has the advantage that the subdevices under test or debug do not suffer from interaction with other subdevices in a passive, e.g. bypass, test mode, which constitutes to disrupted testability and debug functionality of the electronic device 100. Consequently, electronic device 100 can be tested or debugged as a slave device, e.g. with test interfaces 140a, 140b and 150 all in test mode, or with all subdevices 120a, 120b excluded from the test or debug arrangement by forcing test interfaces 140a and 140b in their functional mode by using instructions having dedicated bit patterns. In addition, it is appreciated that it will be obvious to anyone skilled in the art that AND gate 192 can readily be replaced by an equivalent logic gate or combination thereof without departing from the scope of the invention.

Fig.3 is described with backreferences to Fig.2 and its detailed description. It is appreciated that registers 142a, 144a and 146a of test interface 140a, registers 142b, 144b and 146b of test interface 140b as well as TCR contacts 144a and 144b and TBT contacts 145a and 145b are omitted from Fig.3 with respect to Fig.2 for reasons of clarity only. Similarly, the fact that instruction register 170 has been replaced by data register 173, does not imply the absence of instruction register 170 from further test interface 180, in due particular embodiment of the present invention, bit pattern decoder 194 is coupled to data register 172 and logic circuit 193. In addition, the chain of test interfaces 140 is interleaved with a chain of multiplexers 220 in the following manner. The TDI contact 141a of a predecessor test interface 140a in the chain of test interfaces 140 is coupled to an output 226a of a predecessor multiplexer 220a in the chain of multiplexers 220. The TDO contact 143a of a predecessor test interface 140a in the chain of test interfaces 140 is coupled to a first input 233b of a

WO 2005/029567

WO 2005/029567

K1

preceding multiplexer 220b in the chain of multiplexers 220. In addition, the output of a predecessor multiplexer 220a is also coupled to a second input 224a of a successor multiplexer 220b, thus creating a bypass path around a predecessor test interface 140a. The first input 222a of first multiplexer 220a in the chain of multiplexers 220 is coupled to TDI contact 162, and the second input 224a of first multiplexer 220a in the chain of multiplexers 220 is coupled to test data input 130, thus providing a bypass path for further test interface 160 as well. Finally, the output 224b of the last multiplexer 220b in the chain of multiplexers 220 is coupled to the first input 102 of bypass multiplexer 192. Now, TDO contact 162 is coupled to the first input 103 of bypass multiplexer 192 through the chain of multiplexers 220. It is once more emphasized that the chain of test interfaces 140 and the accompanying chain of multiplexers 220 can be readily extended without departing from the scope of the invention. Furthermore, it is explicitly stipulated that the chain of test interfaces 140 may comprise a test interface that is not bypassable, e.g. that does not have an accompanying multiplexer in the chain of multiplexers 220. Consequently, such a test interface cannot be excluded from the selected test arrangement.

Each multiplexer in the chain of multiplexers 220 as well as bypass multiplexer 192 are controlled by the content of data register 172. Therefore, bypass decoder unit 168 may be omitted from the embodiment depicted in Fig. 3. In other words, data register 172 is arranged to provide each of the multiplexers 220a and 220b from the chain of multiplexers 220 with an individual control signal, as well as bypass multiplexer 192 with a control signal. In addition, bit pattern decoder 194 is arranged to provide logic circuit 192 with a plurality of signals for selecting and deselecting test interfaces 140a, 140b and 160 from the targeted test arrangement. Logic circuit 192 can comprise a plurality of AND gates, each of them having a first input coupled to TMS contact 165, a second input arranged to receive one of the plurality of signals from the bit pattern decoder 194 and a output coupled to one of the targeted test interfaces. The coupling between logic circuit 192 and the test interfaces from the chain of test interfaces 140 is preferably realized by a data bus connection bus. It will be obvious to those skilled in the art that other embodiments of logic circuit 192 are readily available without departing from the scope of the invention. In addition, bit pattern decoder 194 may be implemented as a collection of wires, a collection of inverters or a combination thereof.

This arrangement enables a very flexible test arrangement; by selecting an appropriate bit pattern from data register 172, each test interface 140a, 140b and 160 from the plurality of test interfaces present can either be bypassed and switched to a functional

tests are included in the test or debug setup on an individual basis by the chain of multiplexers 220 including bypass multiplexer 192, and by test mode selector unit 193 respectively. This setup can also be altered at run-time; by shifting in a new bit pattern into data register 172, the chain of test interfaces 140 and chain of multiplexers 220 re-configure themselves accordingly. It is significant that if further test interface 160 is switched to a functional, e.g. run test idle, mode, the entire spectrum of electronic device 100 can only be altered by providing further test interface 160 with a test reset signal on TRESET contact 165.

In Fig.4, an alternative arrangement for selecting parts of electronic device 100 for test or debug purposes is depicted. Fig.4 is described with reference to Fig.3 and its detailed description. In addition, it is noted that data register 172 is omitted from further test interface 160 for reasons of clarity only. It does not necessarily indicate its absence from further test interface 160.

Electronic device 100 is extended with a test mode selection unit 190 for providing each of the test interfaces 140a and 140b in the chain of test interfaces 140 as well as further test interface 160 with a dedicated TMS signal via their respective TMS contacts 140a, 140b and 163. In addition, multiplexers 220a, 230a, e.g. the multiplexers in the chain of multiplexers 220, and bypass multiplexer 192 are also responsive to test mode selector unit 190. In other words, test mode control unit 190 is arranged to provide the multiplexers from the chain of multiplexers 220 with an individual control signal as well as the bypass multiplexer 192 with a control signal. A dedicated TMS signal is fed to the test mode control unit 190 through TMS contact of electronic device 100. In addition, test mode control unit 190 is provided a test interface specific test selection signal through a dedicated contact of electronic device 100. For instance, further test interface 160 can be selected or deselected by providing test mode control unit 190 with the appropriate test interface selection signal through contact 114, test interface 140a can be selected or deselected by providing test mode control unit 190 with the appropriate test interface selection signal through contact 116, whenever a dedicated test interface selection selection signal for test interface 140b is received through contact 118 and so on. Consequently, test interfaces that are not controlled through the BIS test port, e.g. test data input 110, can be kept running in the test logic reset state, e.g. their functional mode, and the multiplexers for bypassing these test interfaces will be switched into the bypass state under control of test mode control unit 190. Preferably, the test interface selection signal used to put a test interface in its test logic reset state is also used to switch the corresponding bypass multiplexer in the bypass test. It is emphasized that the

WO 2005/025599

PCT/IB02/05947

15

IEEE 1149.1 standard allows for the addition of contacts 114 and 116, which render the arrangement of Fig. 2 compliant with the BS standard.

It should be noted that the above-mentioned amendments illustrate rather than limit the inventors, and that those skilled in the art will be able to design many alternative embodiments without departing from the scope of the appended claims. In the claims, any reference signs placed between parentheses shall not be construed as limiting the claim. The word "comprising" does not exclude the presence of elements or steps other than those listed in a claim. The word "a" or "an" preceding an element does not exclude the presence of a plurality of such elements. The invention can be supplemented by means of auxiliary comprising several distinct elements, and by means of a suitably programmed computer. In the device claim enumerating several mains, several of these mains can be connected by one and the same means of hardware. The mere fact that certain components are recited in mutually different dependent claims does not indicate that a combination of these components cannot be used in accordance.

WO 2005/025599

PCT/IB02/05947

15

CLAIMS:

1. An electronic device (100), comprising:
a plurality of subdevices (120a, 120b);
a bypass multiplexer (102) having a first input (103), a second input (104) and an output (105);
a test data input (110);
a test data output (112) coupled to the output (105) of the bypass multiplexer (102);
a plurality of test interfaces (140a, 140b, 140); comprising:
a set of test interfaces (140a, 140b), each test interface (140a; 140b)
10 in the set of test interfaces (140a, 140b) being coupled to a subdevice (120a; 120b) from the
plurality of subdevices (120a, 120b), the set of test interfaces (140a, 140b) forming a chain of
test interfaces (140) in that a test data out contact (142a) of a predecessor test interface (140a)
in the chain of test interfaces (140) is coupled to a test data in contact (141b) of a successor
test interface (140b) in the chain (140); and
15 a boundary zone comprising further test interfaces (160) for controlling
the bypass multiplexer (102), the further test interfaces (160) having:
a further test data in contact (161) coupled to the test data input (110); and
a further test data out contact (162) coupled to the first input (103) of the
bypass multiplexer (102);
20 characterized in that:
a test data out contact (142b) of a test test interface (140b) in the chain of test
interfaces (140) is coupled to the second input (104) of the bypass multiplexer (102); and
the further test data out contact (162) is further coupled to a test data in contact
(141a) of a first test interface (140a) in the chain of test interfaces (140);
25 2. An electronic device (100) as claimed in claim 1, characterized in that the
further test interface (160) comprises a bypass controller (163) coupled to an interface
register (170) of the further test interface (160) for controlling the bypass multiplexer (102).

3. An electronic device (100) as claimed in claim 2, characterized in that the further test interface (140) comprises a register (180) coupled to the bypass controller (160) for storing information of each test interface (140a; 140b) from the set of test interfaces (140a; 140b).

4. An electronic device (100) as claimed in claim 3, characterized in that the register (180) is further coupled to a third input (105) of the bypass multiplexer (102).

5. An electronic device (100) as claimed in claim 1, characterized in that the comprising a test mode control unit (190) for controlling a test mode of a test interface (140a; 140b) in the chain of test interfaces (140), the test mode control unit (190) comprising:
a bit pattern decoder (194) coupled to an instruction register (170) of the further test interface (140); and
a logic circuit (192) having:
a first input coupled to a test mode select contact (163) of the further test interface (140);
a second input coupled to the bit pattern decoder (194); and
an output coupled to the chain of test interfaces (140).

6. An electronic device (100) as claimed in claim 5, characterized in that the logic circuit (192) comprises an AND gate.

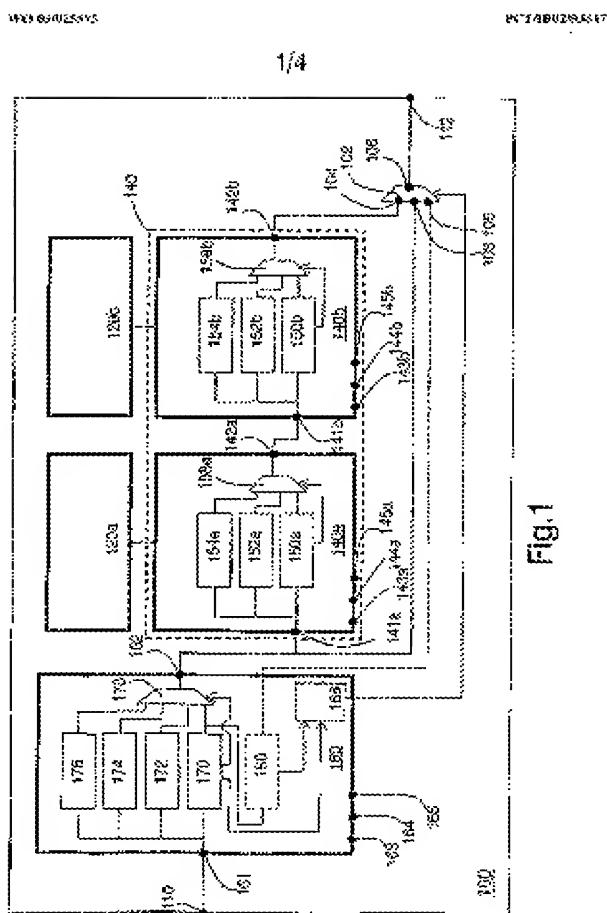
7. An electronic device (100) as claimed in claim 1, characterized in comprising:
a test mode control unit (190) for providing a test interface (140a; 140b; 160) from the plurality of test interfaces (140a; 140b; 160) with an individual test mode control signal;
a set of multiplexers (220a; 220b), each multiplexer (220a; 220b) from the set of multiplexers (220a; 220b) comprising a first input (222a; 222b), a second input (224a; 224b) and an output (228a; 228b), the set of multiplexers (220a; 220b) forming a chain of multiplexers (220) in that:
the first input (222b) of a successor multiplexer (220b) in the chain of multiplexers (220) is coupled to the test data out contact (142a) of the predecessor test interface (140a) in the chain of test interfaces (140);
the output (228a) of a predecessor multiplexer (220a) in the chain of

multiplexers (220) is coupled to the second input (224b) of a successor multiplexer (220b) and to a test data in contact (141a) of the pre-successor test interface (140a) in the chain of test interfaces (142).

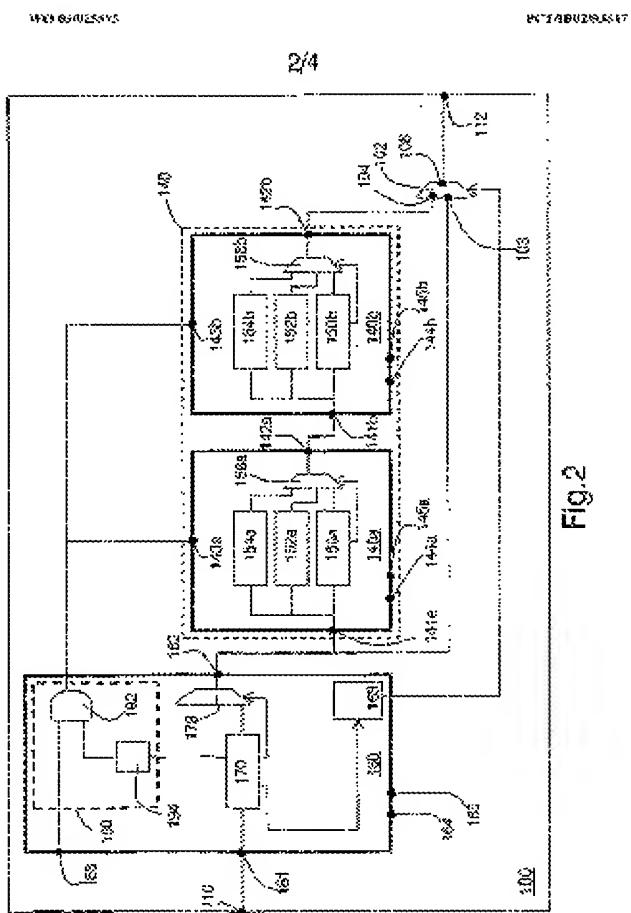
the first input (222a) of the first multiplexer (220a) in the chain of multiplexers (220) is coupled to the further test data out contact (162);
 5 the second input (224a) of the first multiplexer (220a) in the chain of multiplexers (220) is coupled to the test data input (110); and
 the output (226a) of the test multiplexer (220a) in the chain of multiplexers (220) is coupled to the first input (103) of the bypass multiplexer (102), wherein the further test data out contact (162) is coupled to the first input (103) of the bypass multiplexer (102) via the chain of multiplexers (220).

8. An electronic device (160) as claimed in claim 7, characterized in that the further test interface comprises (160):
 a data register (172) being arranged to provide a multiplexer (220a; 220b) from the chain of multiplexers (220) with an individual control signal, and being arranged to provide the bypass multiplexer (102) with a control signal; and
 15 the test mode control unit (190) comprises:
 a bit position decoder (354) coupled to the data register (172); and
 a logic circuit (392), having:
 a first input coupled to the test mode select contact (163) of the further test interfaces (160);
 a second input coupled to the bit position decoder (354); and
 20 a plurality of outputs, wherein an output from the plurality of outputs is arranged to provide the test interface (140a; 140b; 160) from the plurality of test interfaces (140a; 140b; 160) with the individual test mode select signal.

9. An electronic device (160) as claimed in claim 7, characterized by further comprising:
 25 a further contact (114; 116; 118) for providing the test mode control unit (190) with a test interface selection signal, the test mode control unit (190) being arranged:
 to provide a multiplexer (220a; 220b) from the chain of multiplexers (220) with an individual control signal; and
 to provide the bypass multiplexer (102) with a control signal.



三

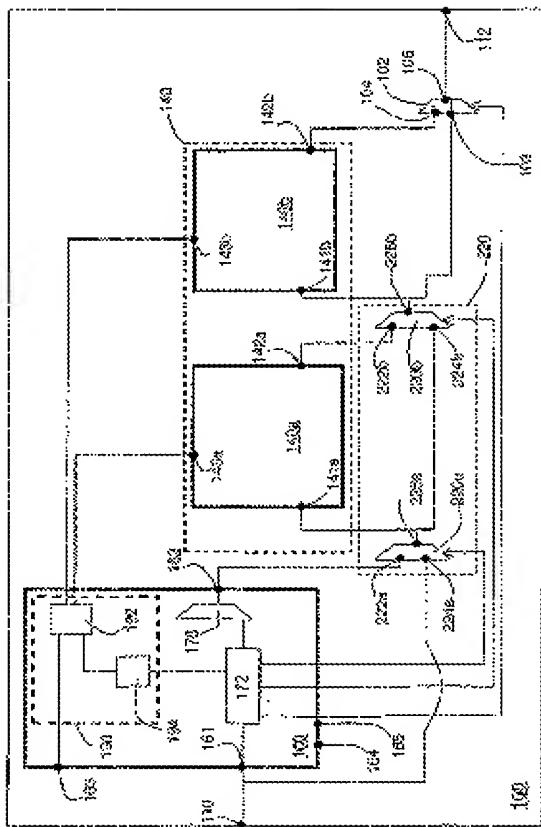


四
四
四

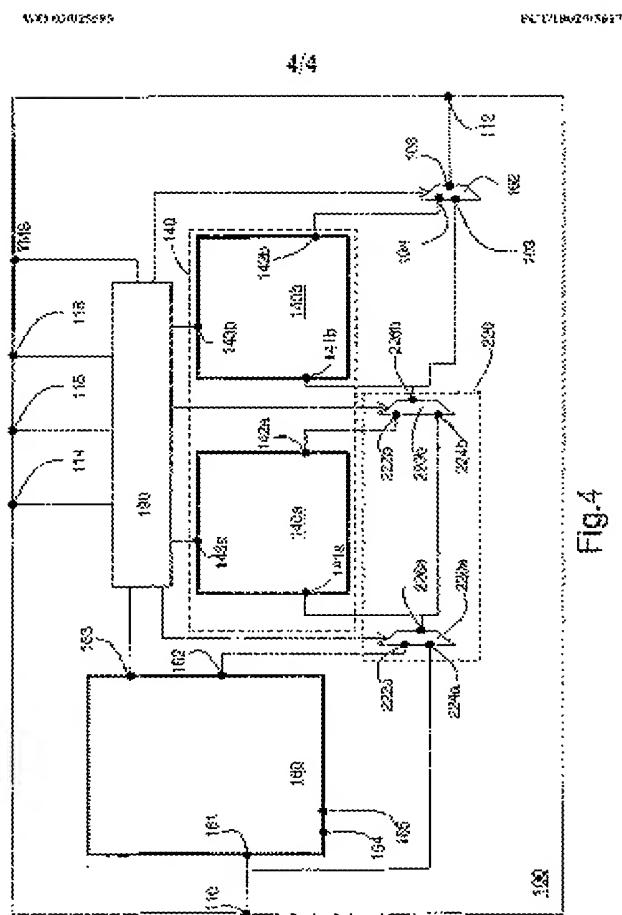
Digitized by srujanika@gmail.com

Digitized by srujanika@gmail.com

3/4



३३



三

【国際公開パンフレット（コレクトバージョン）】

12 MONTHS FROM THE DATE OF PUBLICATION UNDER THE PATENT COOPERATION TREATY (PCT).

ED-120011: Intellectual Property, Fragrances, and Scent



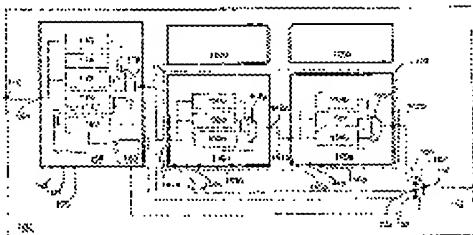
(4) Endocrinological Publishing Number
WO 03/025595 43

23 MAR 2003 4270359437

304

(19) International Publication Number
WO 03/025595 A3

164 THE ELECTRONIC JOURNAL



【國際調查報告】

INTERNATIONAL SEARCH REPORT

SEARCHED SEARCHED
PCT/IE 02/03623

A. EXAMINER'S COMMENTS AND ACTION
IML 7 5017/3165

B. PUBLICATION NUMBER
INTERNATIONAL PCT PUBLICATION NUMBER

100 7 2012

C. PUBLICATION NUMBER
INTERNATIONAL PCT PUBLICATION NUMBER

D. PUBLICATION NUMBER
INTERNATIONAL PCT PUBLICATION NUMBER

EPO-Internal, UPI Data, Inv.

F. DOCUMENTS REFERRED TO IN EXAMINER'S REPORT

G. EXAMINER'S COMMENTS AND ACTION

RELEVANT TO PCT

A US 5 572 476 P (NAME UNKNOWN) ET AL
101 30 September 1995 (1997-09-30)
cited in the application
for which indicated.

2

Further information available in application file.

Patentable information available.

PCT/IE02/03623
100 7 2012

101 30 September 1995 (1997-09-30)
cited in the application for which indicated.

PCT/IE02/03623
100 7 2012

101 30 September 1995 (1997-09-30)
cited in the application for which indicated.

PCT/IE02/03623
100 7 2012

101 30 September 1995 (1997-09-30)
cited in the application for which indicated.

For further information contact Examiner

Date of International Search Report

24 March 2003

07/04/2010

Non-patent literature cited
101 30 September 1995 (1997-09-30)
cited in the application for which indicated.

Reference ID

Six, 0

INTERNATIONAL SEARCH REPORT

SEARCHED AND SERIALIZED

TYPE OF DOCUMENT

PCT/IB 02/03617

Patent classification and/or search report	Publication date	Patent family members	Publication date
US 3033276	A 30-08-1957	JP 0886316 R2 JP 3086597 R2 JP 7287053 A KR 202366 B1	13-07-1995 10-10-2000 31-10-1995 15-11-1995

フロントページの続き

(72)発明者 ヴュルマオレン フベルタス ゲー ハー
オランダ国 5656 アー アー アインドーフェン プロフホルストラーン 6

(72)発明者 ヴァアエルス トマス エフ
オランダ国 5656 アー アー アインドーフェン プロフホルストラーン 6

(72)発明者 ルスベルグ グイラオメ エー アー
オランダ国 5656 アー アー アインドーフェン プロフホルストラーン 6

F ターム(参考) 2G132 AA01 AA14 AA15 AA20 AB01 AC15 AK15

【要約の続き】

るテスト・データ出力(112)への2つの可能なルートが得られる。したがって、電子デバイス(100)を、マクロ・デバイスとして、またはサブデバイスの集まり(120a, 120b)として、テストまたはデバッグすることが可能となる。

【透視図】図1